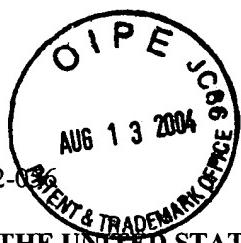


Docket No.: 61282-036



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Kenichi TAJIKA, et al. : Confirmation Number: 2504
Serial No.: 10/766,954 : Group Art Unit: 2185
Filed: January 30, 2004 : Examiner:

For: CLOCK DELAY ADJUSTING METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FORMED BY THE METHOD

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

Japanese Patent Application No. JP 2003-313917, filed on September 5, 2003.

Japanese Patent Application No. JP 2003-024093, filed on January 31, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

JFH
Ramyar M. Farid
Registration No. 46,692
Lawrence T. Cullen
RJ: 44,489

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 RMF:gav
Facsimile: 202.756.8087
Date: August 13, 2004

10/766,954
Kenichi TAJIKA, et al.
August 13, 2004

日本国特許
JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2003年 1月31日

CERTIFIED COPY OF
PRIORITY DOCUMENT

出願番号
Application Number:

特願2003-024093

[ST. 10/C]:

[JP2003-024093]

願人
Applicant(s):

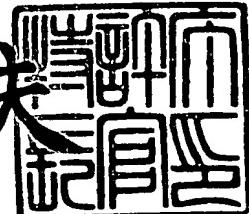
松下電器産業株式会社

BEST AVAILABLE COPY

BEST AVAILABLE COPY

2003年 8月 7日

今井康夫



特許長官
Commissioner,
Japan Patent Office

【書類名】 特許願
【整理番号】 5037940162
【提出日】 平成15年 1月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/82
H01L 21/88

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 田鹿 健一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 朝重 浩喜

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】**【識別番号】** 100108589**【弁理士】****【氏名又は名称】** 市川 利光**【電話番号】** 03-5561-3990**【選任した代理人】****【識別番号】** 100115107**【弁理士】****【氏名又は名称】** 高松 猛**【電話番号】** 03-5561-3990**【選任した代理人】****【識別番号】** 100090343**【弁理士】****【氏名又は名称】** 栗宇 百合子**【電話番号】** 03-5561-3990**【手数料の表示】****【予納台帳番号】** 092740**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0002926**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置のクロック遅延調整方法およびこの方法で形成された半導体集積回路装置

【特許請求の範囲】

【請求項1】 半導体チップ内の各階層ブロックの回路設計条件に応じて、前記各階層ブロックの各ソースポイントのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、

前記ソースポイントにエリア端子を設置し、階層トップ上で、半導体チップのクロック入力端子と各前記クロック入力用のエリア端子との間を等長配線によりクロック分配するように、クロックラインで接続し、前記各階層ブロック間のクロック遅延調整を行うようにしたことを特徴とする半導体集積回路装置のクロック遅延調整方法。

【請求項2】 前記エリア端子は、クロック入力専用の入力端子であることを特徴とする請求項1に記載のクロック遅延調整方法。

【請求項3】 前記クロックラインは、専用の配線層を用いて形成されることを特徴とする請求項1または2に記載のクロック遅延調整方法。

【請求項4】 前記各階層ブロックの前記各ソースポイントの前記クロック遅延値のばらつきを補償する配線長となるように、前記半導体チップのクロック入力端子と各前記クロック入力用のエリア端子との間を、前記クロック分配して接続するようにしたことを特徴とする請求項1乃至3に記載の半導体集積回路装置のクロック遅延調整方法。

【請求項5】 前記クロック入力端子は、複数個のクロック入力端子で構成されており、1つの階層ブロックに複数のクロック入力端子からクロック入力がなされるように構成された多系統クロックを構成していることを特徴とする請求項1乃至4のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項6】 さらに階層トップ上のクロックラインの配線上において、階層ブロック内または階層ブロック間にリピーターバッファ回路を挿入して、クロック信号の波形なまりの抑制を行うようにしたことを特徴とする請求項1乃至5のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項7】 前記階層ブロック内に、複数のフリップフロップ回路を備え、各フリップフロップ回路までのクロックラインにクロック制御回路を挿入するに際し、

前記階層ブロック内のクロック制御回路と前記各フリップフロップ回路との間の前記クロックラインの前記クロック遅延の値を、遅延調整バッファ回路を使用して調整するようにしたことを特徴とする請求項1乃至6のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項8】 前記エリア端子の設置位置を、フロアプラン修正後においても、前記フロアプランの修正前の前記クロックラインの配線経路が再利用できるように調整したことを特徴とする請求項1乃至7のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項9】 前記請求項1乃至8のいずれかに記載の半導体集積回路装置のクロック遅延調整方法を用いた半導体集積回路装置。

【請求項10】 前記階層ブロックの少なくともひとつが、複数のクロック入力専用のエリア端子を具備しており、クロックラインが前記エリア端子よりも上位層であるクロックライン専用の配線層で構成されていることを特徴とする請求項9に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の設計方法および半導体集積回路装置にかかり、特に半導体集積回路装置のレイアウト設計における階層ブロック間のクロック遅延が同期するように調整する方法に関するものである。

【0002】

【従来の技術】

従来、半導体集積回路装置のレイアウト設計における階層ブロック802、803、804、805間のクロック遅延を同期して調整する方法においては、図8に示すように、各階層ブロック802の外周にクロック入力端子800を形成している。そして、クロック入力端子807とクロック信号の供給元となる半導

体チップのクロック入力端子800間は、クロック信号の到達時間を同期させるため、配線801の長さ（配線長）が等しくなるように、階層トップ上で配線するいわゆる等長配線により、クロックラインの配線をクロック分配して接続するという方法がとられている。このようにして、各階層ブロックまでのクロック遅延が同期するように調整している（例えば、特許文献1参照。）。ここで806は半導体チップの外殻（バウンダリー）を示す。

【0003】

また、階層ブロック間の相互信号配線接続技術として、階層ブロック上に信号端子を形成してブロック間の相互信号を配線接続しているものがある（例えば、特許文献2参照。）。

【0004】

【特許文献1】

特開平5-198674号公報（第1-4頁、第一図）

【特許文献2】

特開平5-243380号公報（第1項、第二図）

【0005】

【発明が解決しようとする課題】

しかしながら、前記従来の半導体集積回路装置のレイアウト設計における階層ブロック間のクロック遅延を同期させるように調整するクロック遅延調整方法は、階層ブロックの外周に形成されたクロック入力端子の1点以降で、階層ブロック内にある全てのフリップフロップ回路のクロック端子までのクロック遅延を同期させるとともに、更に各階層ブロックごとのクロック遅延が同期されている条件で実施するものである。

【0006】

しかしながら、回路規模が大きくかつブロックサイズが大きい階層ブロックが半導体チップ上にある場合、階層ブロック内のフリップフロップ回路の配置位置はこの階層ブロックの回路条件に依存して密集あるいは分散するなど、多くの配置条件があるために、階層ブロックの外周に形成されたクロック入力端子の1点以降だけでクロック遅延を同期させることは困難である。更に、実際の半導体集

積回路装置の開発において、現実には、このようなケースが多く、各階層ブロックのクロック遅延の同期をとることも非常に困難である。

【0007】

よって、この従来の方法は、階層トップ上で各階層ブロックのクロック入力端子—半導体チップのクロック入力端子間を等長配線により、クロック分配してクロックラインの配線接続を実施し、クロック信号の到達時間を同期させても、ブロック内のクロック遅延が同期していないブロックがあるために、半導体集積回路装置のクロック遅延を同期させるように調整することができないという問題があった。

【0008】

本発明は、前記実情に鑑みてなされたもので、半導体集積回路装置のレイアウト設計における階層ブロック間のクロック遅延の調整に際し、各階層ブロック内のクロック遅延の同期と階層ブロック間の同期を可能とする条件で、階層トップでクロック遅延を調整する方法を提供することを目的とする。

【0009】

また、各階層ブロック内のクロック遅延の同期と階層ブロック間の同期とがなされ、階層トップでクロック遅延が調整されるように構成された半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

そこで本発明の方法では、半導体チップのクロック遅延の目標値を設定して、目標値に応じて、クロック遅延を調整するソースポイントを半導体チップのバウンダリー内の各階層ブロックに複数設け、このソースポイントから各階層ブロックへのクロック信号の供給がなされるようにし、階層ブロック内および階層ブロック間での遅延調整を考慮するようにしたことを特徴とする。

【0011】

この時、ソースポイントを決定する条件としては、各階層ブロック内のフリップフロップ回路の配置位置などの回路の設計条件を考慮して、クロック遅延の目標値が達成できるように決定する。

【0012】

また、本発明の方法では、クロック遅延を調整するソースポイント上にクロック入力専用のエリア端子を設ける。このエリア端子はクロック専用で階層ブロック上に自由に位置が決定され、複数設けることができるようとしたことを特徴とする。

【0013】

各階層ブロックの各クロック入力用、望ましくは専用のエリア端子ごとに半導体チップのクロック遅延の目標に対して、それぞれクロック遅延を調整する。

【0014】

調整が終了した時点で、階層のトップ上で配線層の上位層を使用して、半導体チップのクロック入力端子—各クロック入力用のエリア端子間を等長もしくは各エリア端子のクロック遅延のばらつきを考慮したクロック分配としたクロックラインとなるように配線接続する。上位層とは、当該配線層を形成する層よりも上層にある層をいうものとする。

【0015】

かかる構成によれば、半導体チップのバウンダリー内の階層ブロックに、それぞれ回路の設計条件に応じて、クロック遅延を調整するソースポイントを設けてクロック入力用、望ましくは専用のエリア端子化を図り、階層トップ上で半導体チップのクロック入力端子と各クロック入力専用のエリア端子との間をクロックの到達時間を考慮してクロック分配するように配線接続しているため、階層ブロック内のクロック遅延の同期と階層ブロック間のクロック遅延の同期が容易な条件をつくり、階層ブロック間のクロック遅延調整を実現することができる。

【0016】

また本発明の半導体集積回路装置は上記調整方法によって遅延調整がなされて形成される。

【0017】

この半導体集積回路装置は、階層ブロックの少なくともひとつが、複数のクロック入力専用のエリア端子を具備しており、クロックラインが前記エリア端子よりも上位層であるクロックライン専用の配線層で構成されていることを特徴とす

る。

【0018】

かかる構成によれば、階層ブロック間および階層ブロック内で遅延調整のなされた半導体集積回路装置を提供することが可能となる。

【0019】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しつつ詳細に説明する。

(実施の形態1)

本実施の形態は、半導体集積回路装置における階層ブロック間のクロック遅延が同期するようにした条件で、階層トップ上でクロック遅延を調整する方法において以下のような手順で、回路設計がなされる。

1. 半導体チップのバウンダリー内の階層ブロックに、回路設計の条件に応じて、クロック遅延を調整する細かいソースポイントを設ける。
2. 前記ソースポイントをクロック入力専用のエリア端子化する。
3. 階層トップ上で半導体のチップのクロック入力端子と各クロック入力専用のエリア端子との間のクロックラインの配線を配線層の上位層を用いて、等長配線によりクロック分配して接続する。

【0020】

この方法によれば、階層ブロック間のクロック遅延の同期を実現した上で、階層トップ上で等長配線によるクロックラインの配線の分配を行い、クロック遅延調整を行う。

【0021】

図1に本発明の実施の形態1に係わる等長配線のクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す。図1において、半導体チップのバウンダリー106内の階層ブロックA102、階層ブロックB103、階層ブロックC104、階層ブロックD105上に、回路設計の条件に応じ、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を複数設ける。各階層ブロック102、103、104、105はそれぞれ1乃至3個のエリア端子を具備している。階層ブロック102は2個のエリア端子102T1

、102T2、階層ブロック104は3個のエリア端子104T1、104T2、104T3、階層ブロック105は1個のエリア端子105Tを具備している。各エリア端子は、各階層ブロック102、103、104、105までのクロック遅延を同期させ、半導体チップのクロック入力端子100から各エリア端子102T1～105Tまでのクロック到達時間を考慮して等長経路を見積もり、階層トップ上の配線層の上位層を用いて、クロックラインの配線101を接続する。

【0022】

このように、本実施の形態1によれば、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を各階層ブロックに複数設けることにより、階層ブロックのクロック遅延の同期条件を容易に実現可能である。そして、階層トップ上で配線層の上位層を用いて、等長配線によるクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整を行うことができる。

【0023】

ここでクロック端子101から各エリア端子102T1～105Tまでのクロック到達時間を考慮して等長経路を見積もり、クロックラインの配線101を形成するに際しては、上位層を用いることにより、レイアウトの制限なしに配線設計を行うことができる。

【0024】

このようにして全てのソースポイントのクロック遅延の値を同期させることができる。

なお前記実施の形態ではクロックラインの配線101を上位層で形成したが、かならずしも上位層で形成しなければならないわけではなく、適宜調整可能である。

【0025】

(実施の形態2)

次に、本発明の実施の形態2について説明する。

本実施の形態では、半導体集積回路装置における階層ブロック間のクロック遅

延がばらつきの条件で、階層トップ上でクロック遅延を調整する方法において以下のようない手順で、回路設計がなされる。

1. 前記本発明の実施の形態1に記載の1、2の手法
2. 階層トップ上で半導体のチップのクロック入力端子—各クロック入力専用のエリア端子間のクロックラインの配線を配線層の上位層を用いて、各階層ブロックのクロック入力専用のエリア端子間までのクロック遅延のばらつきを考慮した配線長でクロック分配して接続する手法を用いる。

【0026】

この方法によれば、各階層ブロックのクロック入力専用のエリア端子までのクロック遅延にばらつきがあっても、階層トップ上で半導体のチップのクロック入力端子—各クロック入力専用のエリア端子間のクロックラインの配線をばらつきに応じて配線長を調整して、分配することでクロック遅延調整を行うことができる。

【0027】

以下、本発明の実施形態2について図面を用いて説明する。

図2に本発明の実施の形態2に係わるクロック遅延のばらつきを考慮したクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す。図2において、階層ブロック202と階層ブロック203に、それぞれクロック遅延を調整するソースポイントとしてクロック入力専用のエリア端子A204、クロック入力専用のエリア端子B205、クロック入力専用のエリア端子C206を設ける。この時、各階層ブロック202、203内の各エリア端子204、205、206までのクロック遅延の値の条件207は「エリア端子A>エリア端子B>エリア端子C」の順である。

【0028】

このクロック遅延のばらつきに応じて、階層トップ上で半導体チップのクロック入力端子200から204、205、206までのクロックラインの配線201の配線長を図2に条件207に示す関係を維持するように考慮したクロック配線長の条件208で「エリア端子A<エリア端子B<エリア端子C」の順にしてクロック分配の配線接続をする。

【0029】

このように、本実施の形態2より、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を各階層ブロックに複数設けて、各ポイントで多少のクロック遅延のばらつきが生じても、階層トップ上で配線層の上位層を活用して、クロック遅延のばらつきを考慮した配線長でクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整を行うことができる。

【0030】

(実施の形態3)

本発明の実施の形態3は、半導体集積回路装置におけるクロック系統が複数存在する場合の階層ブロック間のクロック遅延を調整する方法クロック系統ごとに前記実施の形態1または2を実施する手法を用いることを特徴とする。

この方法によれば、クロック系統が複数存在する場合でも階層ブロック間のクロック遅延の調整ができる。

【0031】

以下、本発明の実施形態3について図面を用いて説明する。

図3に本発明の実施の形態3に係る多系統クロックにおける階層ブロック間のクロック遅延を調整する方法を示す。図3において、階層ブロックA306と階層ブロックB307でクロック遅延を調整するソースポイントとして、クロック系統ごとにクロックラインAに属するエリア端子304とクロックラインBに属するエリア端子305を設ける。そして階層のトップ上で配線層の上位層を活用してクロック系統ごとに、半導体チップのクロック入力端子A300-304間をクロックラインAの配線301で前記本発明の実施の形態1または2を実施して接続するものである。同様に、半導体チップのクロック入力端子B303-305間をクロックラインBの配線302で前記本発明の実施の形態1または2を実施して接続する。

【0032】

このように、本実施の形態3より、階層ブロック間で複数のクロック系統のクロック遅延の調整を行う際にも、本発明の実施の形態1または2を利用して、各

階層ブロックに複数のエリア端子を設けると共に、各エリア端子を複数のクロックラインからクロック供給を行うようにすることにより、半導体集積回路装置のクロック遅延調整が可能となる。

【0033】

(実施の形態4)

本発明の実施の形態4は、前記本発明の実施の形態1、2、3の実施で階層トップのクロックラインの配線上でクロックの波形なまり対策を行う方法として、クロックラインの配線上に階層ブロック内または階層トップ上にリピーターバッファ回路を挿入したものである。

【0034】

この方法によれば、任意にクロックラインの配線上にリピーターバッファ回路を設けることで、本発明の実施の形態1、2、3の実施においても、クロックの波形なまり対策ができる。

【0035】

以下、本発明の実施形態4について図面を用いて説明する。

図4に本発明の実施の形態4に係わる階層ブロック間のクロックラインにおける波形なまりを対策する方法を示す。図4において、フロアプランから、半導体チップのバウンダリー408内で階層ブロックA402、階層ブロックB、階層ブロックC404、階層ブロックD405のクロック入力専用のエリア端子409と半導体チップのクロック入力端子400間のクロックラインの配線401経路に、それぞれ波形なまりが発生しやすい箇所を予測する。そして、フロアプランから状況に応じて、波形なまりが生じ易い箇所にリピーターバッファ回路を挿入する。

【0036】

そこで、予測した箇所に階層ブロック内のクロックラインのリピーターバッファ回路406または階層ブロック間のクロックラインのリピーターバッファ回路407を挿入して配線接続をする。

【0037】

このように、本実施の形態4より、本発明の実施の形態1、2、3のいずれに

おいても、階層トップのクロックラインの配線上の波形なまり対策を行いつつ、半導体集積回路装置のクロック遅延調整を行うことができる。

【0038】

(実施の形態5)

本発明の実施の形態5は、階層ブロック内のフリップフロップ回路までのクロックライン上にクロック制御回路が挿入されている場合のクロック遅延を調整する方法において以下のような手順で、回路設計がなされる。

ここでは、まず

1. 階層ブロック内のクロックラインでクロック制御回路の入力前にクロック入力専用のエリア端子を設置する。そして
2. クロック制御のゲート回路以降で、各フリップフロップ回路のクロック遅延をクロックラインの遅延調整バッファ回路を使用して調整する。そして
3. 階層トップ上で前記本発明の実施の形態1、2のクロックラインの配線を分配した接続をする。

【0039】

この方法によれば、階層ブロック内のクロックラインにクロック制御のゲート回路が存在しても、階層トップ上で本発明の実施の形態1、2、3を実施によるクロック遅延調整が可能となる。

【0040】

以下、本発明の実施の形態5について図面を用いて説明する。

図5に本発明の実施の形態5に係わる階層ブロック内の回路でクロックラインにゲート回路がある場合のクロック遅延を調整する方法を示す。図5において、階層ブロック501内のクロック信号を止める用途に使われる制御端子510を付属したクロック制御のゲート回路509の入力前のクロックラインの配線500上で、それぞれクロック入力専用のエリア端子A502、クロック入力専用のエリア端子B503、クロック入力専用のエリア端子C504、クロック入力専用のエリア端子D505を設ける。各502、503、504、505から509をはさむフリップフロップ回路506のフリップフロップ回路のクロック端子507までのクロック遅延の調整はゲート回路509とフリップフロップ回路5

06の間にクロックラインの遅延調整バッファ回路508を挿入して調整を行う。その後、前記本発明の実施の形態1、2、3の実施に応じて階層トップ上でクロックライン500の配線接続をする。

【0041】

このように、本実施の形態5より、階層ブロック内のクロックラインにクロック制御のゲート回路が存在しても、ゲート回路の入力の前にクロック入力専用のエリア端子を設置し、階層ブロック内のクロック遅延調整はゲート回路とフリップフロップ回路間にクロックラインの遅延調整バッファ回路を使用して調整する。また、階層トップ上では前記本発明の実施の形態1、2、3に応じて調整することにより、半導体集積回路装置のクロック遅延調整を行うことができる。

【0042】

(実施の形態6)

本発明の実施の形態6は、階層ブロックの回転の配置向き変更、サイズ変更、配置位置変更などのフロアプラン修正が起きた時、修正前の階層トップ上のクロックラインの配線経路を再利用する方法において以下の手順で、回路設計がなされる。

【0043】

ここでは、フロアプラン修正する階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定してフロアプランを修正する。

【0044】

この方法によれば、階層ブロックのフロアプラン修正後もフロアプラン修正前のクロックラインの配線経路に接続できる位置にクロック入力専用のエリア端子を設けているのでクロックラインの配線経路を再利用することができる。

【0045】

以下、本発明の実施形態6について図面を用いて説明する。

図6に本発明の実施の形態6に係わる階層ブロック間のクロック分配でH型配線した例を示す。また、図7に本発明の実施の形態6に係る階層ブロック間のH

型のクロック分配配線経路を用いたフロアプラン修正に対応する方法を示す。図6において、階層ブロックA602、階層ブロックB603、階層ブロックC604、階層ブロックD605上のそれぞれのクロック入力専用のエリア端子と半導体チップのクロック入力端子600までがH型のクロックラインの配線601でクロック分配されて接続されている。

【0046】

この状態で、図7においてフロアプラン修正前のフロアプランの原型700を定義する。フロアプランの修正で、階層ブロックの回転による向き変更によるフロアプラン修正701、階層ブロックのサイズ変更によるフロアプラン修正702、階層ブロックの配置位置変更によるフロアプラン修正703が生じても、フロアプラン修正前の700の601経路に修正後の階層ブロックのクロック入力専用のエリア端子が接続できる位置にあれば、そのまま修正前の601経路を利用することができる。

【0047】

このように、本実施の形態6より、階層ブロックのフロアプラン修正が起きてても、フロアプラン修正する階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定すれば、修正前の配線経路をそのまま利用することができる。

【0048】

なお、前記実施の形態においては、クロック入力専用のエリア端子を用いたが、必ずしも専用でなくても良く、テスト端子としても使用することも可能であるが、配線接続などに制約を受けない場所に設置されているのが望ましい。

【0049】

また、クロックラインは、専用の配線層として、上位層に形成するのが、自由度が高い点で望ましいが、形成する層は上位層に限定されるものではなく、他の配線層の形成された層内に形成するようにしてもよい。

【0050】

【発明の効果】

以上説明したように、本発明によれば、各階層ブロックの回路設計条件に応じて、クロック遅延を調整する細かいソースポイントを検討して、そのポイントに階層ブロック上で自由に位置が決定されて、複数設けることができるクロック入力専用のエリア端子を設けることにより、階層ブロック間のクロック遅延の同期を容易に実現することができる。

【0051】

この条件下で、階層トップ上で半導体のチップのクロック入力端子—各クロック入力専用のエリア端子間のクロックラインの配線を等長配線によりクロック分配して接続することで半導体集積回路装置の階層ブロック間のクロック遅延調整をすることができる。

【0052】

またこのクロック分配における接続に際しては、配線層の上位層を用いるようすれば、回路レイアウトの制限なしに効率よく回路設計を実現することができる。

【0053】

また本発明によれば、前記クロック入力専用のエリア端子の各ポイントで多少のクロック遅延のばらつきが生じても、階層トップ上で配線層の上位層などを活用して、クロック遅延のばらつきを考慮した配線長でクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整をすることができる。

【0054】

従って、半導体集積回路装置の多系統クロックの階層ブロック間のクロック遅延調整をすることができる。

【0055】

本発明によれば、階層トップ上のクロックラインの配線上に、配線をまたぐ階層ブロック内または間にクロックラインのリピーターバッファ回路を挿入することにより、波形なまりを対策して、半導体集積回路装置のクロック遅延調整をすることができる。

【0056】

本発明によれば、階層ブロック内のフリップフロップ回路までのクロックライン上にクロック制御回路が挿入されている場合でも、階層ブロック上でクロックラインでクロック制御回路の入力前にクロック入力専用のエリア端子を設置し、更に階層ブロック内のクロック制御のゲート回路—各フリップフロップ回路間のクロック遅延をクロックラインの遅延調整バッファ回路を使用して調整し、階層トップ上ではリピータバッファ回路を用いて調整することにより、半導体集積回路装置のクロック遅延調整をすることができる。

【0057】

本発明によれば、半導体集積回路装置内のある階層ブロックにフロアプラン修正が生じても、フロアプラン修正を行う階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定すれば、そのまま修正前のクロックラインの配線経路を利用することができる。

【0058】

本発明によれば、本発明の効果を利用した半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る等長配線のクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す図である。

【図2】本発明の実施の形態2に係るクロック遅延のばらつきを考慮したクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す図である。

【図3】本発明の実施の形態3に係る多系統クロックにおける階層ブロック間のクロック遅延を調整する方法を示す図である。

【図4】本発明の実施の形態4に係る階層ブロック間のクロックラインにおける波形なまりを対策する方法を示す図である。

【図5】本発明の実施の形態5に係る階層ブロック内の回路でクロックラインにゲート回路がある場合のクロック遅延を調整する方法を示す図である。

【図6】本発明の実施の形態6に係る階層ブロック間のクロック分配でH型配

線にした例を示す図である。

【図7】本発明の実施の形態6に係る階層ブロック間のH型のクロック分配配線経路を用いたフロアプラン修正に対応する方法を示す図である。

【図8】従来の等長配線のクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す図である。

【符号の説明】

- 100 半導体チップのクロック入力端子
- 101 クロックラインの配線
- 102 階層ブロック
- 103 階層ブロック
- 104 階層ブロック
- 105 階層ブロック
- 106 半導体チップのバウンダリー
- 102T1、102T2、103T、104T1、104T2、104T3 クロック入力専用のエリア端子
- 200 半導体チップのクロック入力端子
- 201 クロックラインの配線
- 202 階層ブロック
- 203 階層ブロック
- 204 クロック入力専用のエリア端子
- 205 クロック入力専用のエリア端子
- 206 クロック入力専用のエリア端子
- 207 クロック遅延値の条件
- 208 クロック配線長の条件
- 300 半導体チップのクロック入力端子A
- 301 クロックラインAの配線
- 302 クロックラインBの配線
- 303 半導体チップのクロック入力端子B
- 304 クロックラインAに属するエリア端子

- 305 クロックラインBに属するエリア端子
306 階層ブロック
307 階層ブロック
400 半導体チップのクロック入力端子
401 クロックラインの配線
402 階層ブロック
403 階層ブロック
404 階層ブロック
405 階層ブロック
406 階層ブロック内のクロックラインのリピーターバッファ回路
407 階層ブロック間のクロックラインのリピーターバッファ回路
408 半導体チップのバウンダリー
402T1、402T2、403T、404T1、404T2、404T3 クロック入力専用のエリア端子
500 クロックラインの配線
501 階層ブロック
502 クロック入力専用のエリア端子
503 クロック入力専用のエリア端子
504 クロック入力専用のエリア端子
505 クロック入力専用のエリア端子
506 フリップフロップ回路
507 フリップフロップ回路のクロック端子
508 クロックラインの遅延調整バッファ回路
509 クロック制御のゲート回路
510 制御端子
600 半導体チップのクロック入力端子
601 H型のクロックラインの配線
602 階層ブロック
603 階層ブロック

604 階層ブロック

605 階層ブロック

606 クロック入力専用のエリア端子

700 フロアプランの原型

701 階層ブロックの回転の配置向き変更によるフロアプラン修正

702 階層ブロックのサイズ変更によるフロアプラン修正

703 階層ブロックの配置位置変更によるフロアプラン修正

800 半導体チップのクロック入力端子

801 クロックラインの配線

802 階層ブロック

803 階層ブロック

804 階層ブロック

805 階層ブロック

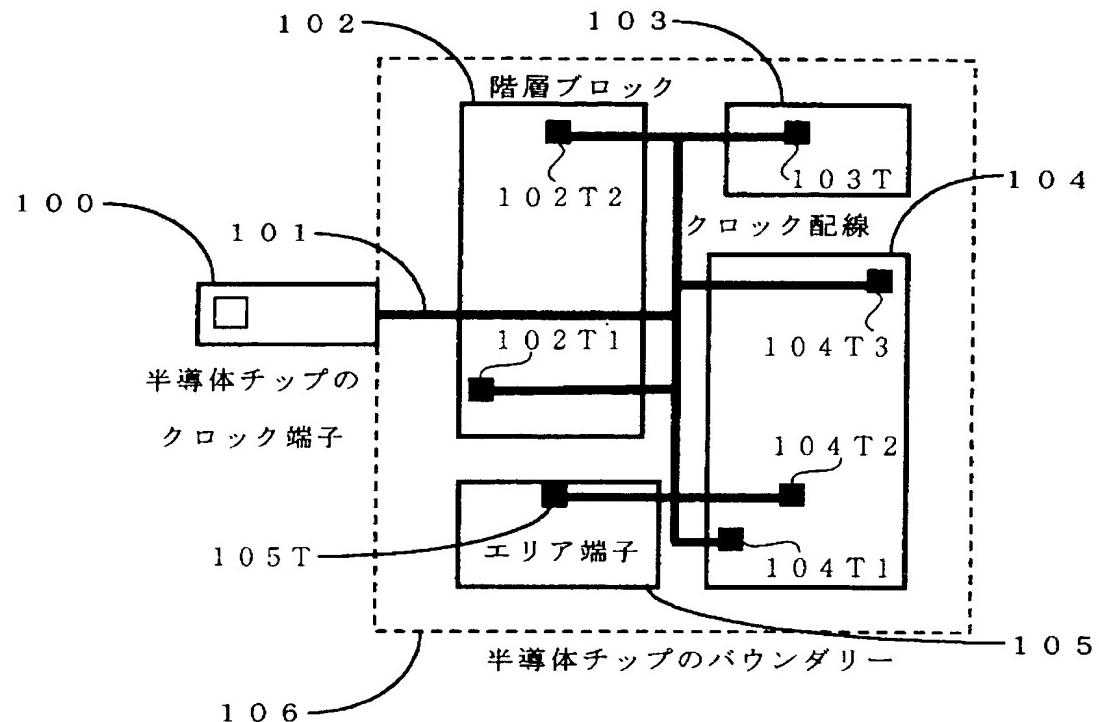
806 半導体チップのバウンダリー

807 クロック入力端子

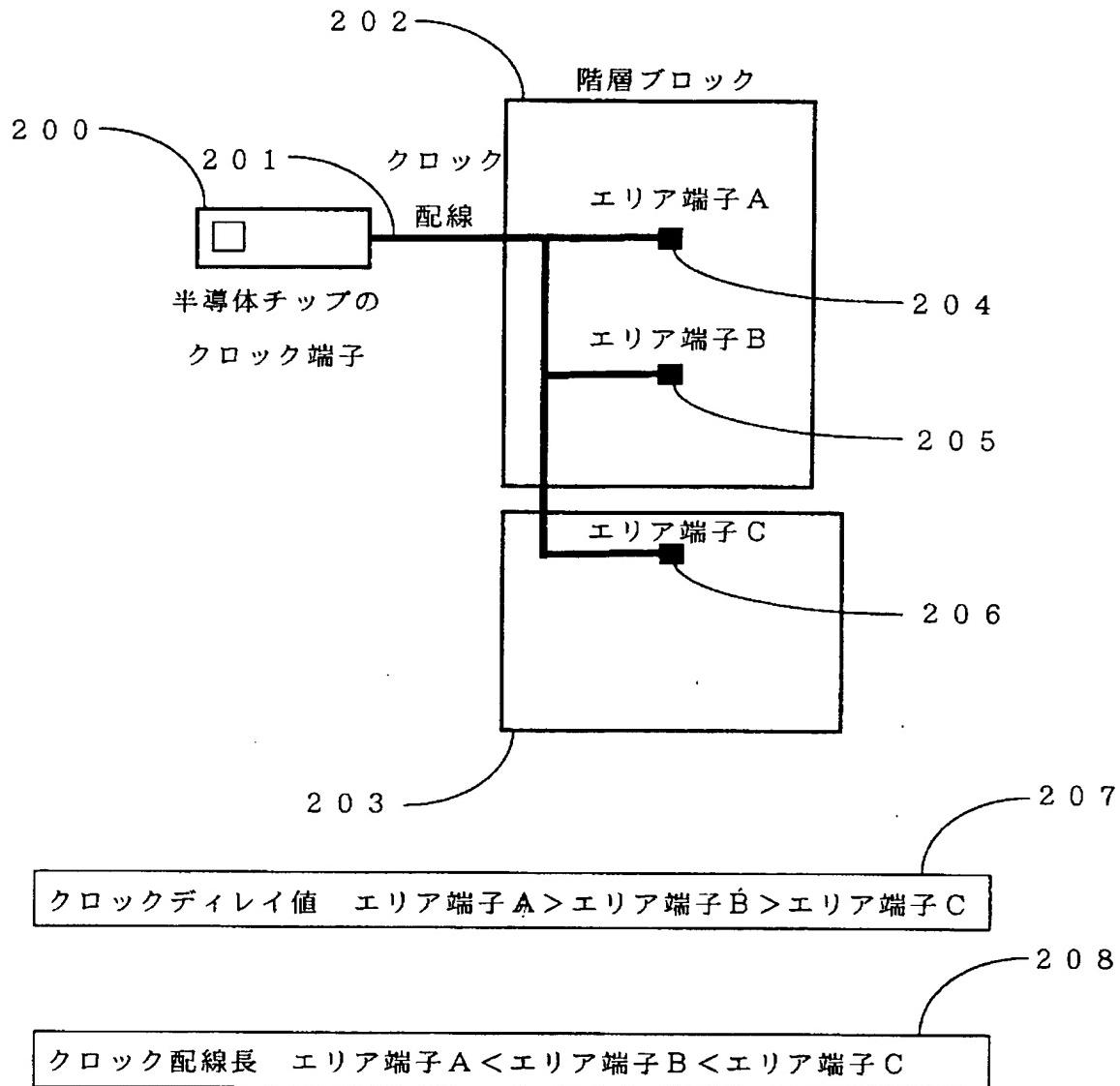
【書類名】

図面

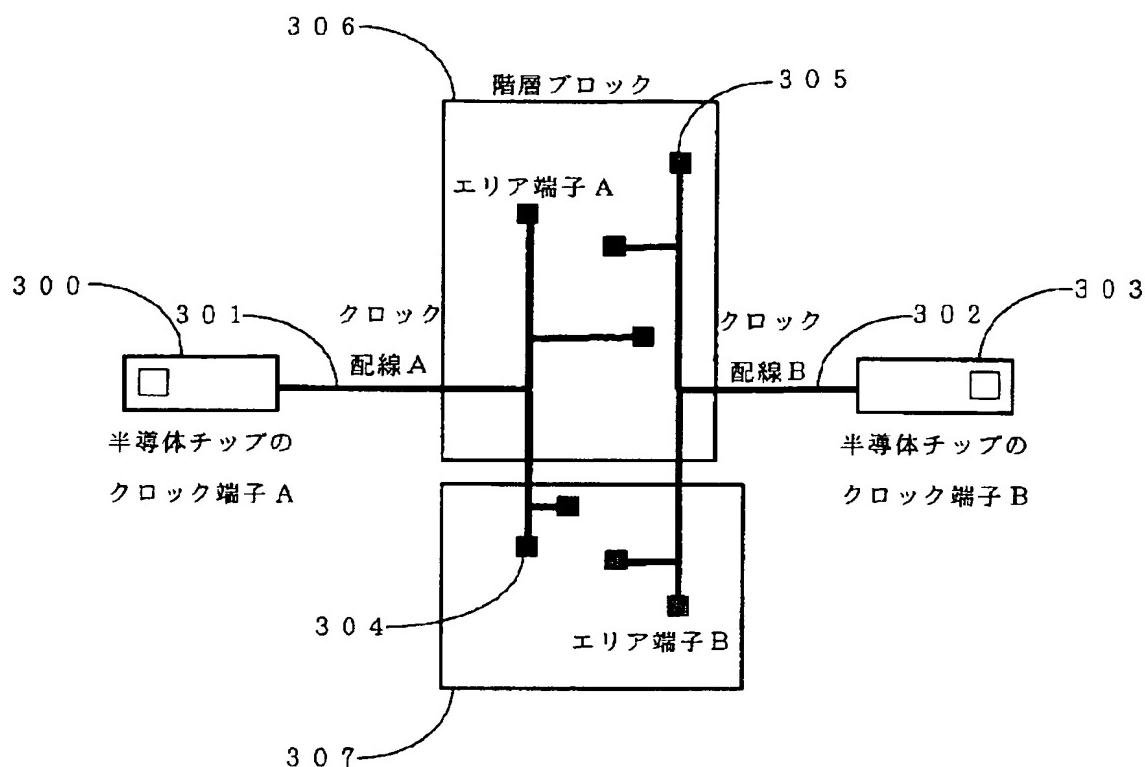
【図 1】



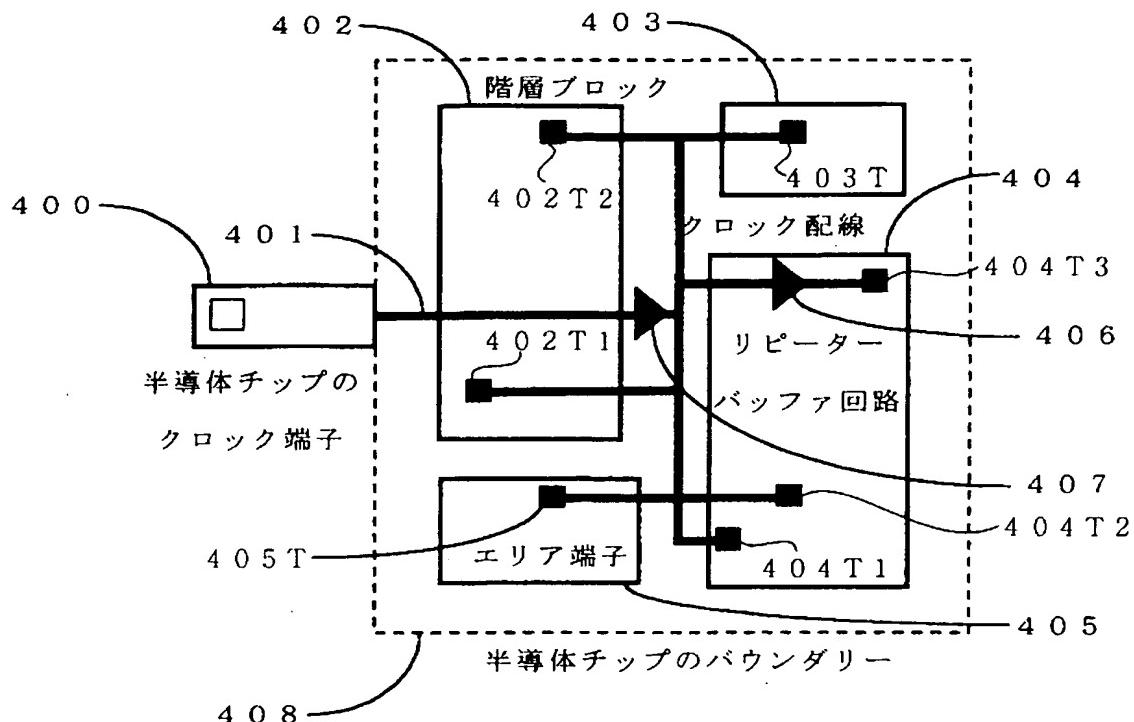
【図2】



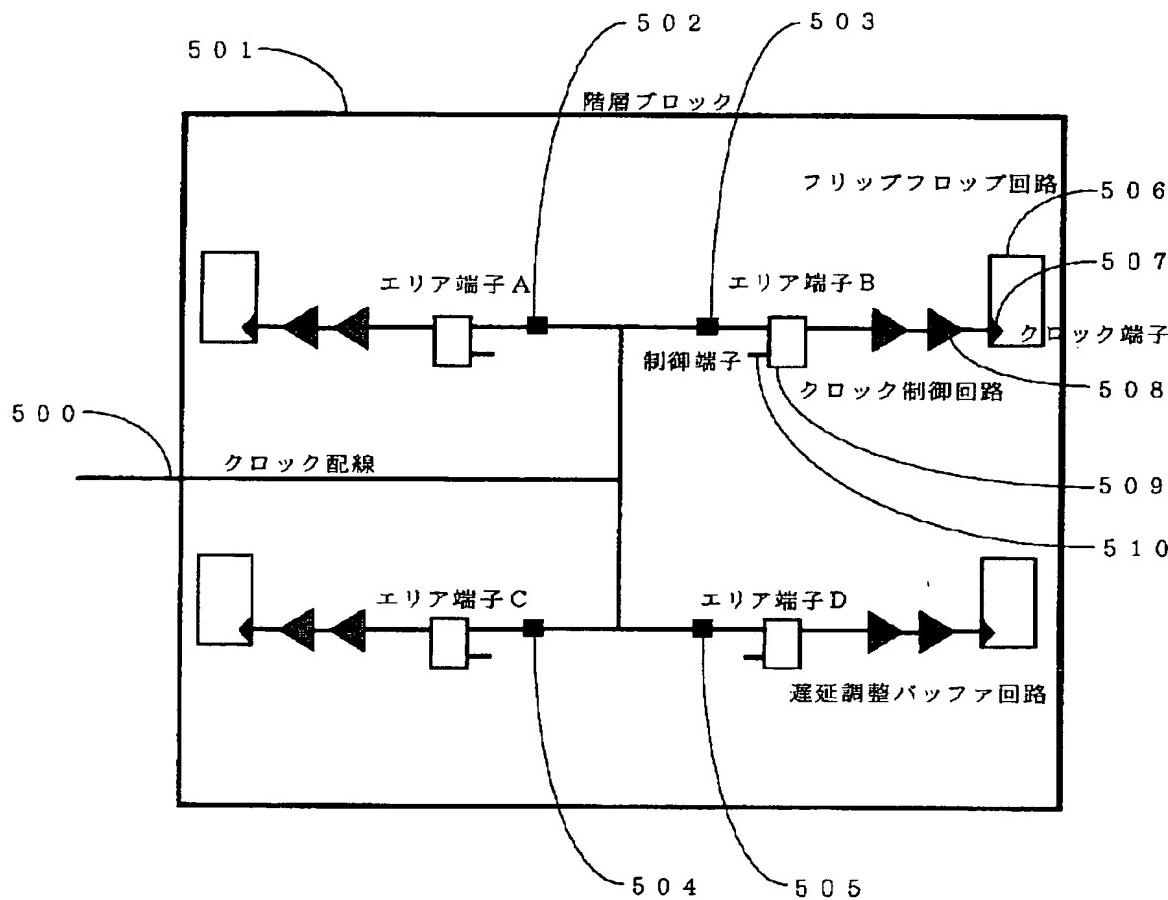
【図3】



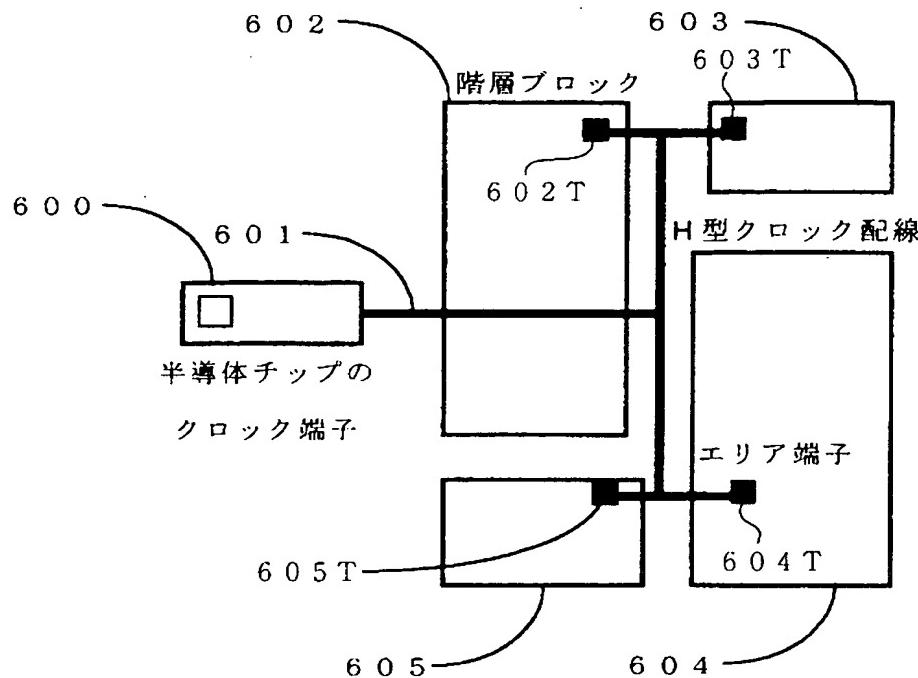
【図4】



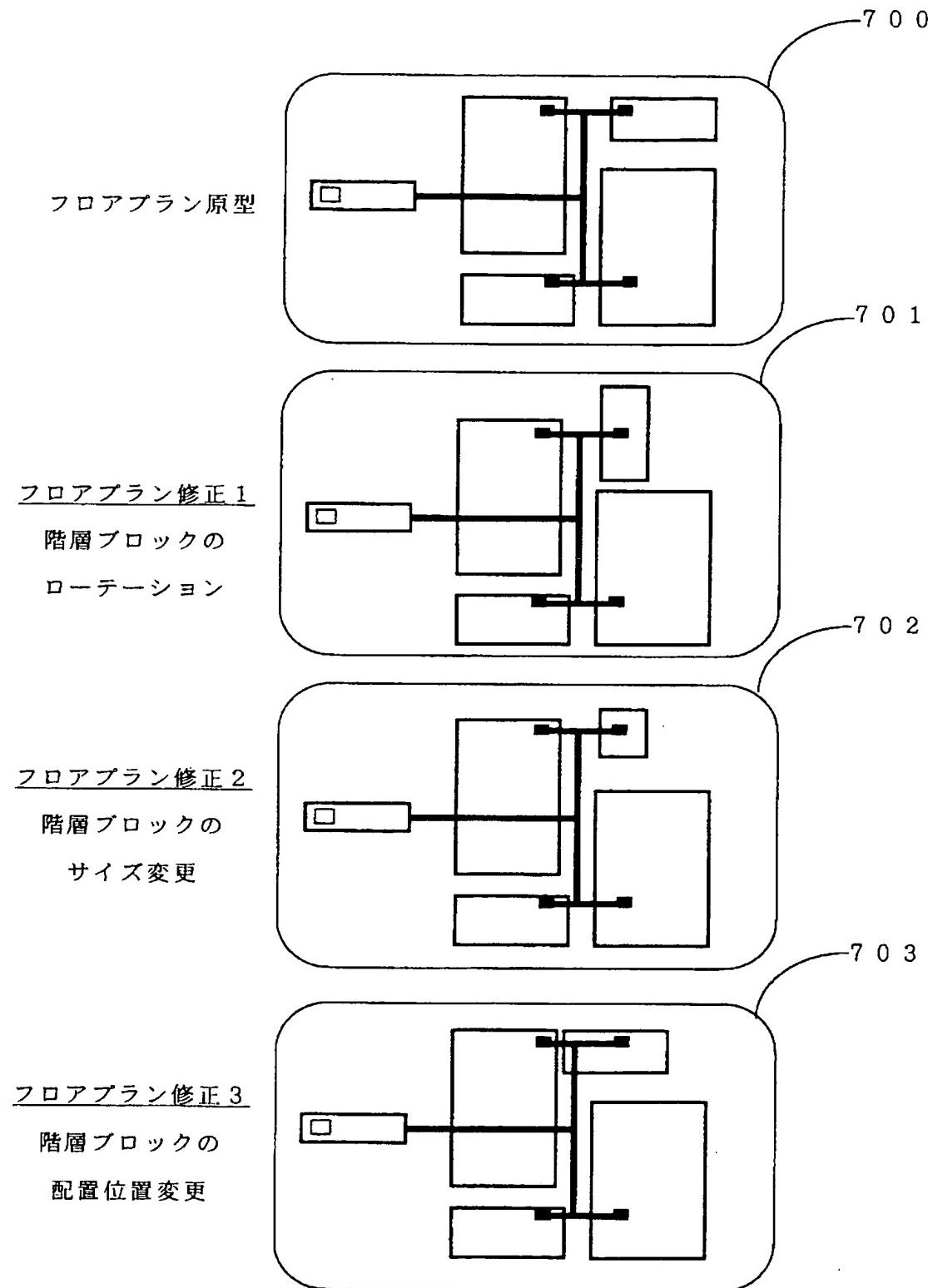
【図5】



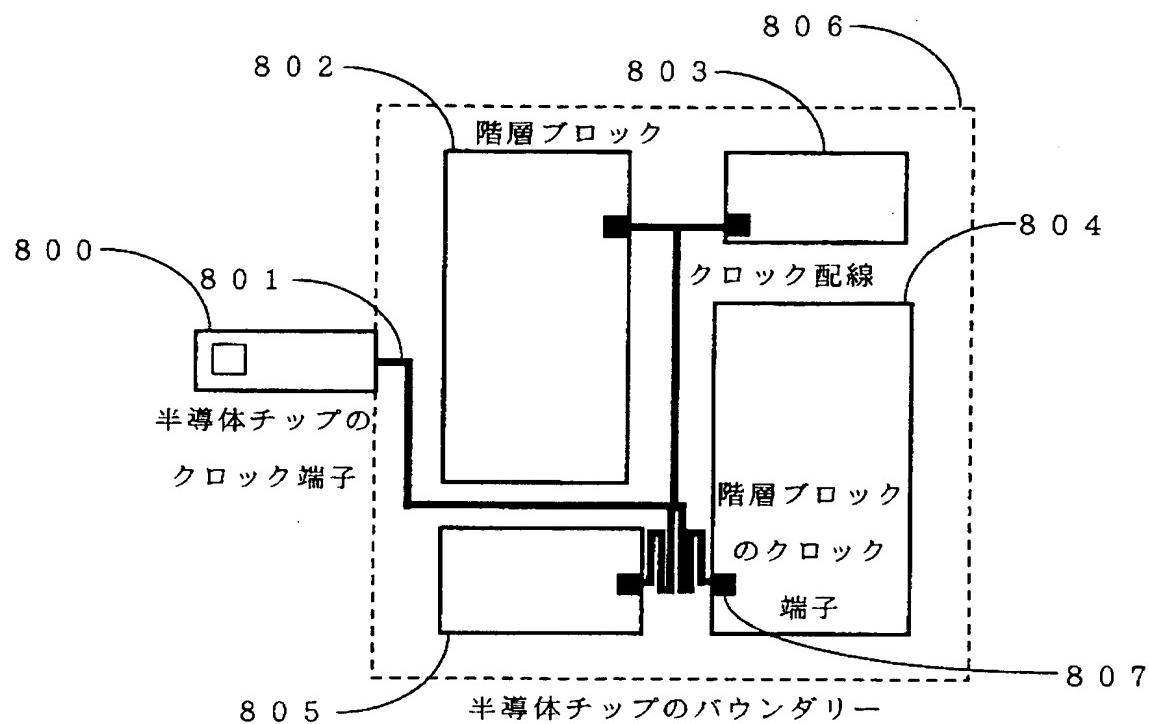
【図6】



【図 7】



【図8】



【書類名】要約書

【要約】

【課題】 半導体集積回路装置のレイアウト設計における階層ブロック間のクロック遅延の調整に際し、各階層ブロック内のクロック遅延の同期と階層ブロック間の同期を可能とする条件で、階層トップでクロック遅延を調整する方法を提供する。

【解決手段】 半導体チップのクロック遅延の目標値を設定して、目標値に応じて、クロック遅延を調整するソースポイントを半導体チップのバウンダリー内の各階層ブロックに複数設け、このソースポイントから各階層ブロックへのクロック信号の供給がなされるようにするとともに、このソースポイントを用いて階層ブロック間および階層ブロック内での遅延調整を行う。

【選択図】 図 1

特願2003-024093

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社